



博流智能
Bouffalo Lab
Bouffalo Lab

BL702/BL704/BL706
Bouffalo Lab
硬件设计指南

© 2020 BouffaloLab Inc.

This document contains information that is proprietary to BouffaloLab Inc. ("BouffaloLab") and/or its licensor(s).
Any unauthorized use, reproduction or disclosure of this document in whole or in part is strictly prohibited.

1. 产品概述	3
2. 电路设计	4
2.1 原理图设计	4
2.1.1 供电电源	5
2.1.2 外部晶体	6
2.1.3 上电时序、复位及启动.....	7
2.1.4 射频匹配网络	8
2.1.5 GPIO 配置	8
2.2 版图设计	9
2.2.1 版图设计通用要点	10
2.2.2 模组摆放	10
2.2.3 射频	10
2.2.4 电源	11
2.2.5 晶体	11

Bouffalo Lab

1. 产品概述

BL702/BL704/BL706 是用于物联网应用的高度集成的 BLE 和 Zigbee 组合芯片组。

无线子系统包含 2.4G 无线收发机、BLE + zigbee 基带和 MAC 设计。微控制器子系统包含 32 位 RISC CPU，高速缓存和内存。电源管理单元控制超低功耗模式。此外，还支持各种安全功能。

外围接口包括 USB2.0, Ethernet(BL704/BL706), IR-remote, SPI, UART, ISO 17987, I2C, I2S, PWM, QDEC, KeyScan, ADC, DAC, PIR, Camera(BL706)和 GPIO。

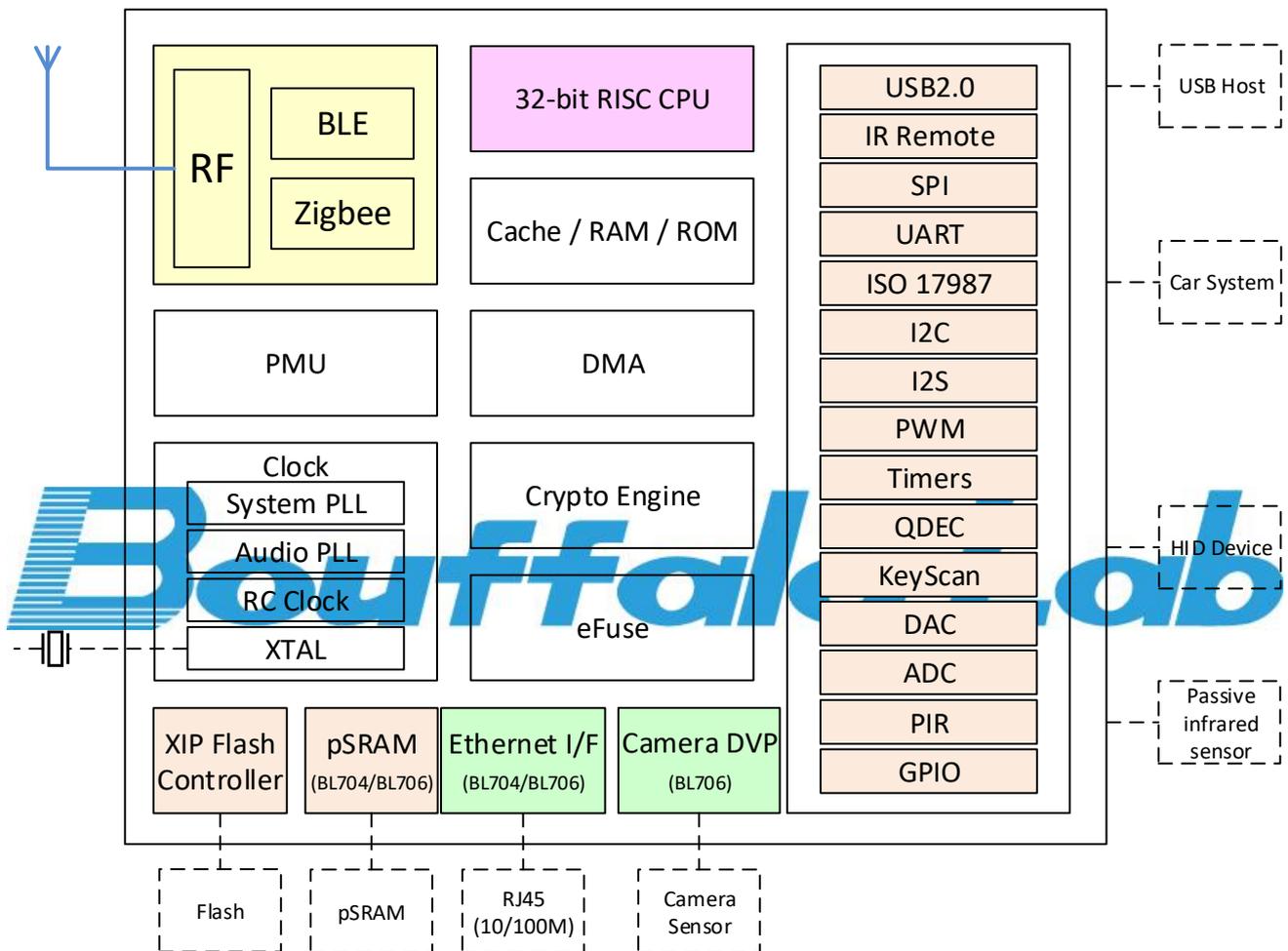


图 1、BL70X 结构框图

BL702/BL704/BL706 高度集成的 SOC 系统使得外围电路设计相对简单，为了充分发挥 BL702/BL704/BL706 的相关性能，本文将将以 BL706 参考设计为例详细介绍原理图和 PCB 版图的设计，帮助用户加速开发进度。

2. 电路设计

2.1 原理图设计

BL706 参考设计电路如图 2 所示。

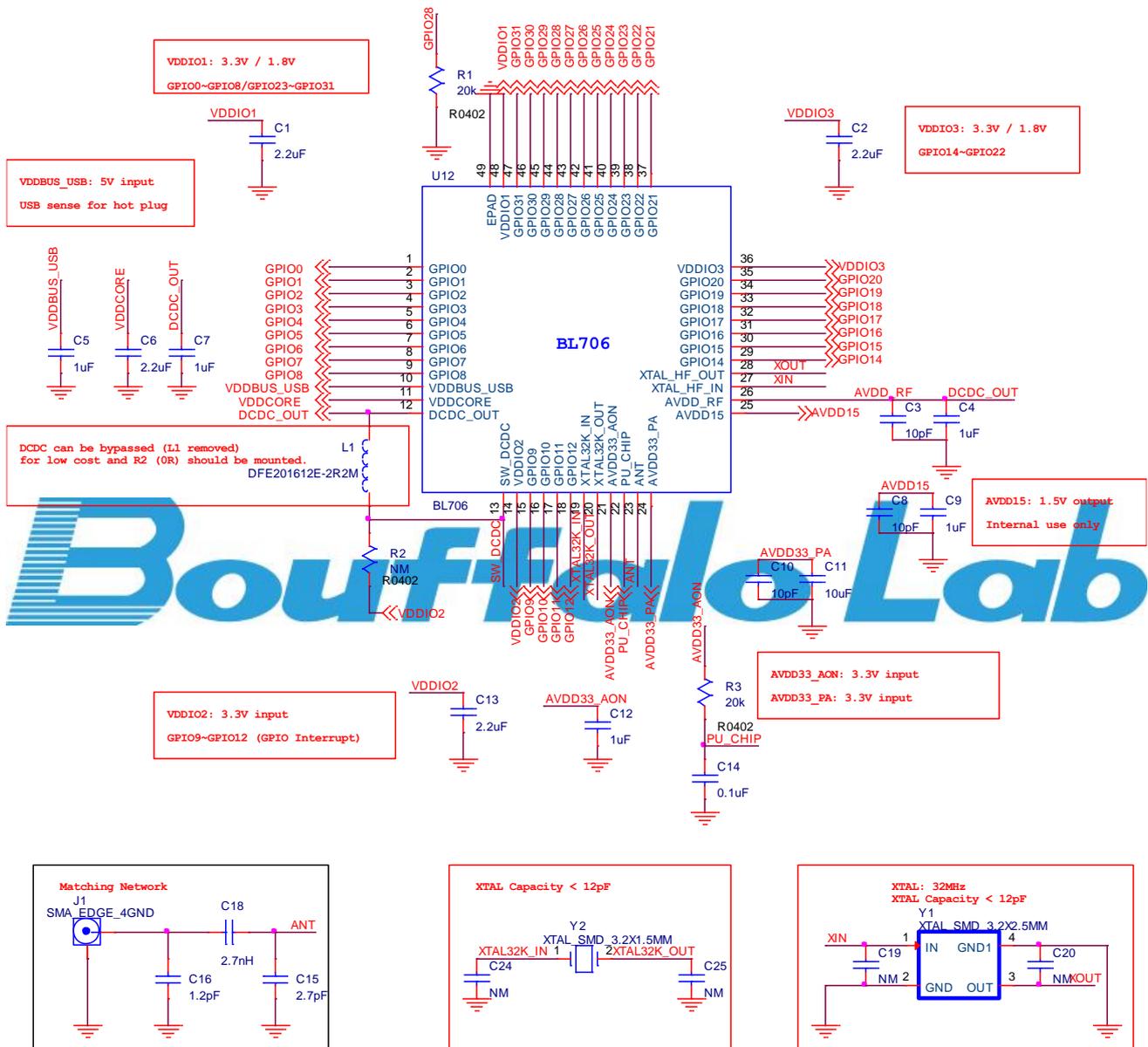


图 2、BL706 参考设计原理图

BL706 电路图设计有以下部分注意事项：

- 供电电源
- 外部晶体
- 上电时序、复位及启动
- 射频匹配网络
- GPIO 配置

下文将分别针对以上几个部分进行详细描述。

2.1.1 供电电源

BL706 的供电分为以下几个电源域：

Pin10(VDDBUS_USB): USB 供电检测，典型输入电压为 5V。该引脚用于检测 USB 供电，主要目的是支持热插拔功能。该引脚没有电流消耗，但需要保证 5V 输入相对稳定（不要低于 4V），否则可能会影响 USB 通信。

Pin11(VDDCORE): 内部 LDO 输出引脚，典型输出电压为 1.1V。需要在该引脚处放置一个 2.2uF 电容，用于保证内部 LDO 的稳定性。此路电源仅供内部电路使用。

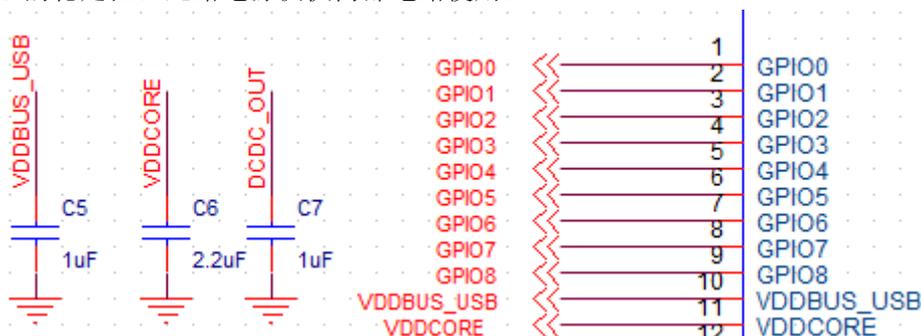


图 3、USB 供电检测和 1.1V LDO 电路

Pin12 & Pin13: 该引脚是内部 DCDC 模块的输出和反馈点，搭配外围电感形成环路。其中外围电感值建议使用 2.2uH，额定电流不低于 200mA，推荐物料型号为：DFE201612E-2R2M。在 DCDC 输出引脚处放置一个 1uF 电容。

注意：

- 正常情况下，推荐使用 DCDC 模式，这种模式下电源效率比较高，系统功耗低。
- 如果需要节省成本，可以将外围电感省掉，BL70X 内部的 DCDC 被关闭，此时系统功耗会相对增加，同时要保证外部 3.3V 输入电源足够干净，防止影响射频性能。具体电路改动如下：

- 1、Pin12 直接连接外部 3.3V 电压（需要放置一个 1uF 电容），Pin26 也直接连接外部 3.3V；
- 2、Pin13 悬空。

Pin14(VDDIO2): 数字部分和 DCDC 模块供电，典型输入电压为 3.3V。

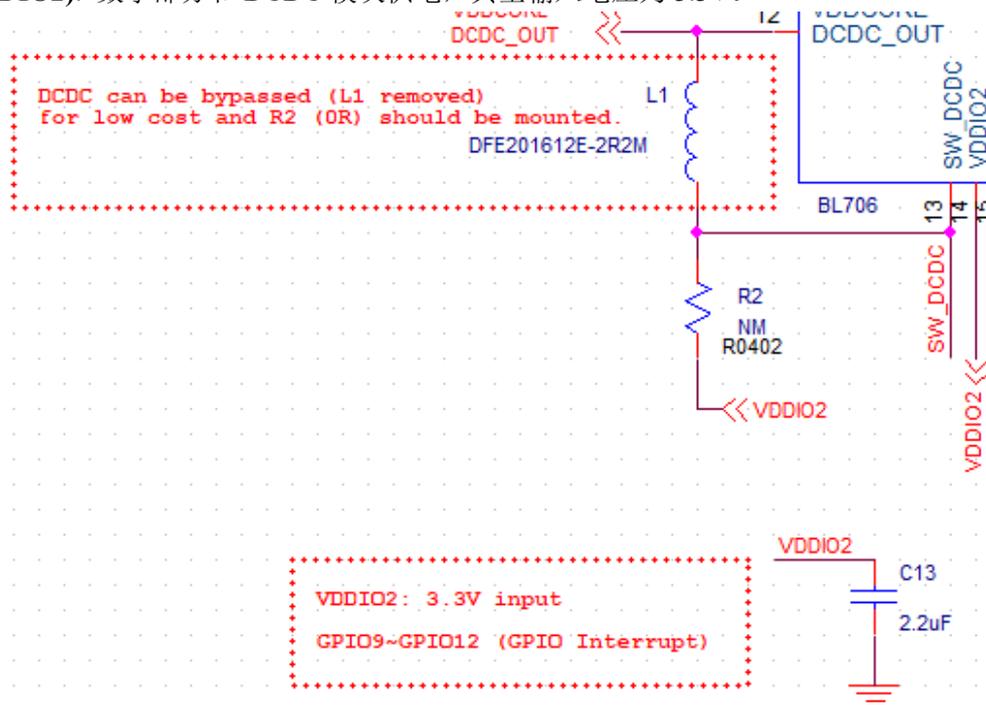


图 4、DCDC 电路

Pin21(VDD33_AON): 系统供电, 典型输入电压为 3.3V。该电源消耗电流较小, 建议在该引脚处放置一个 1uF 电容。

Pin24(VDD33_PA): 发射链路供电, 典型输入电压为 3.3V。当 BL70X 工作在发射状态时, 该部分电源瞬间消耗电流会很大, 如设计不当有可能会引起电源的轨道塌陷, 在电路设计时建议在该引脚处放置一个 10uF 电容, 该电容的耐压要超过 2 倍 AVDD, 推荐选择耐压为 10V 或更高的物料。同时建议在该引脚处放置一个自谐振频率在 2.4G 左右的电容用于抑制信号串扰 (对于 0402 封装电容建议使用 10pF, 对于 0201 封装电容建议使用 16pF)。对于该引脚的供电建议保证额定电流在 300mA 及以上。

Pin25(AVDD15): 内部 LDO 输出引脚, 典型输出电压为 1.5V。需要在该引脚处放置一个 1uF 电容, 用于保证内部 LDO 的稳定性, 同时建议在该引脚处搭配放置一个 0.1uF 电容用于抑制高频谐波。此路电源仅供内部电路使用。

Pin26(AVDD_RF): 模拟电路和射频电路供电, 典型输入电压为 1.8V, 供电来源为 Pin12 (内部 DCDC 电源输出), 需要在该引脚处放置一个 0.1uF 电容。

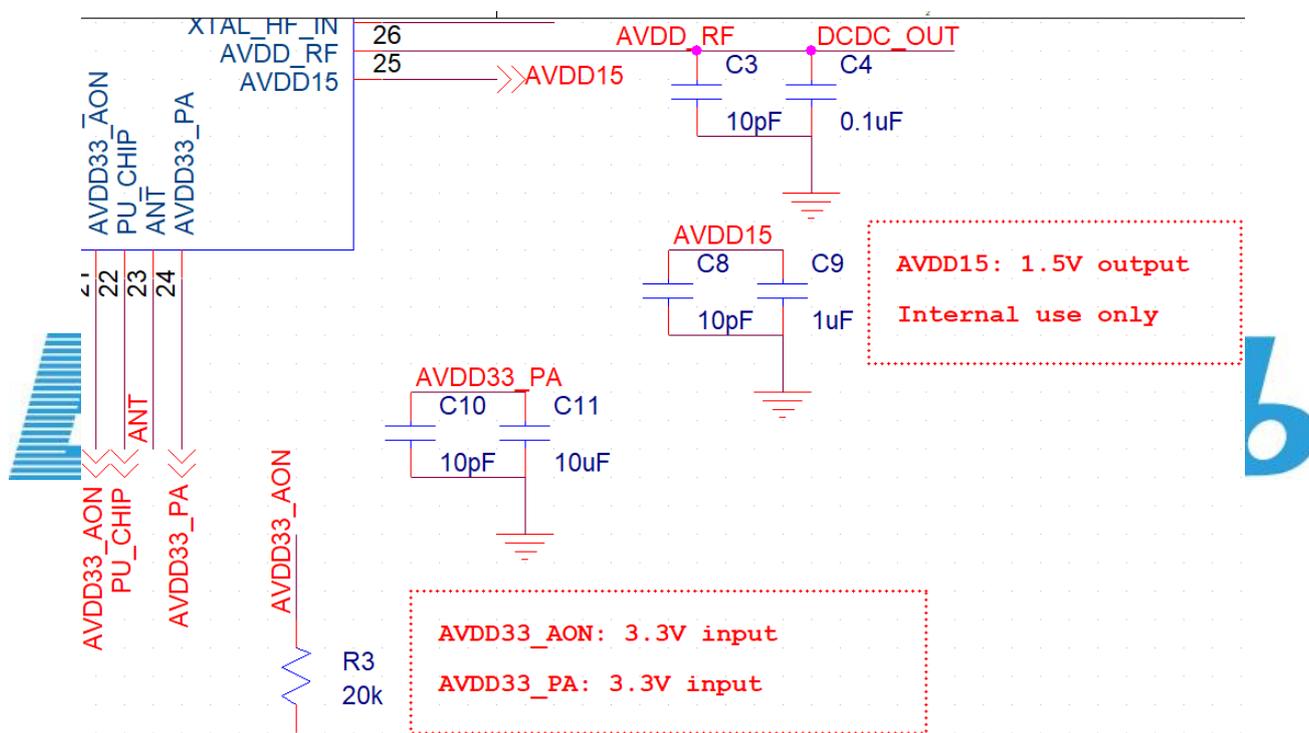


图 5、模拟电路供电

Pin36(VDDIO3): 数字部分供电, 典型输入电压为 1.8V 或 3.3V, 建议在该引脚处放置一个 2.2uF 电容。

Pin48(VDDIO1): 数字部分供电, 典型输入电压为 1.8V 或 3.3V, 建议在该引脚处放置一个 2.2uF 电容。

2.1.2 外部晶体

BL70X 可以有两个外部晶体提供时钟源, 其中一个用于提供系统参考时钟, 另一个则用于提供 RTC 时钟。BL70X 内部集成晶体负载电容, 用于调整和补偿晶体不准引起的频率偏差, 内部集成电容最大值典型为 15pF, 在 PCB 上不加外部晶体负载电容的情况下, 建议使用负载电容为 12pF 的晶体。

2.1.2.1 系统时钟参考

对于系统时钟参考, BL70X 支持的晶体频率为 32MHz。如果选用的晶体规格书中标注的负载电容典型值小于 12pF, 那么 PCB 上可以不需要预留外围补偿电容的位置。同时建议选用的晶体精度为 $\pm 10\text{ppm}$ 。具体电路设计如下图。

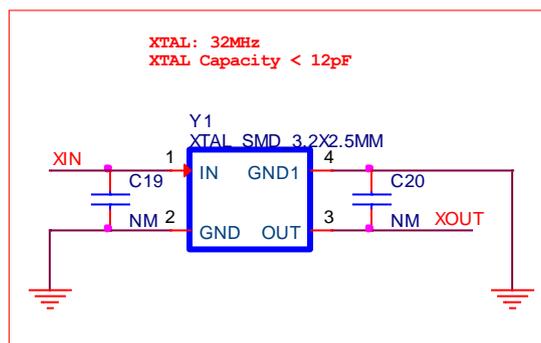


图 6、BL70X 系统时钟晶体

2.1.2.2 RTC 时钟

BL70X 支持外置 32.768kHz 的晶体作为 RTC 时钟，用于满足精确定时需求，同时 BL70X 内部集成 RC 振荡器，通过校准可以达到 1% 的误差精度，如果不需要特别精确地定时，可以使用内部 RC 振荡器作为 RTC 时钟源。

如果选用的晶体规格书中标注的负载电容典型值小于 12pF，那么 PCB 上可以不需要预留外围补偿电容的位置，具体电路设计如下图。



图 7、BL70X RTC 时钟晶体

2.1.3 上电时序、复位及启动

2.1.3.1 上电时序

一般情况下，BL70X 只需要 3.3V 输入作为统一的系统电源，要求外部电源上电过程（上升沿）要小于 10ms，同时系统使能引脚 pin22 要晚于系统电源上电。如果无法保证上电过程时间，需要在系统使能引脚上加入 RC 延时电路。

2.1.3.2 复位电路

BL70X 的复位可以使用 PU_CHIP 管脚，当 PU_CHIP 为低电平时（低于 0.8V），芯片处于复位状态；当 PU_CHIP 为高电平时（高于 2.0V），芯片处于正常工作状态。

如果需要 BL70X 复位或重启，需要把 PU_CHIP 引脚拉低，同时低电平状态要保持一定的时间（建议不低于 1ms）。为防止外界干扰引起重启，PU_CHIP 走线需尽量短一些，且最好加上拉电阻和对地电容。

2.1.3.3 启动控制

BL70X 有两种启动模式：烧录模式和正常工作模式。烧录模式主要用于产线中，通过 UART / USB 接口烧录用户固件或者系统升级。如果需要把 BL70X 切换为烧录模式，需要执行以下操作步骤：

- 1、系统正常上电；
- 2、把 GPIO28 置为高电平并一直保持；
- 3、把 PU_CHIP 置为低电平，保持 1ms 以上之后置为高电平；

4、释放 GPIO28 的控制（可选）。

执行完以上步骤（第四步可选）之后，BL70X 就处于烧录模式，可以通过 UART/USB 接口进行固件烧录。在一般情况下，需要 BL70X 正常启动，所以电路设计中需要在 GPIO28 处放置一个下拉电阻（由于该引脚与 flash 功能复用，建议下拉电阻阻值选择 20k 欧姆）。

2.1.4 射频匹配网络

BL70X 射频引脚输入阻抗约为 25 欧姆左右，建议在电路设计时预留匹配网络，主要用于阻抗匹配和杂散谐波抑制，推荐使用 π 型(CLC)匹配网络结构，具体网络元器件参数需要根据实际天线设计和 PCB 阻抗特性调试得到。

注意：

- 调试阻抗匹配网络时，需要使得芯片端口的负载阻抗为 **25 欧姆左右**，同时尽量保证负载阻抗在容性区域。
- 在电路设计时，建议预留五阶匹配网络用以保证谐波抑制效果。

2.1.5 GPIO 配置

BL70X 集成丰富的外设接口，同时还支持相对灵活的引脚功能配置，本文介绍一些注意事项，其他具体配置可以参考相关说明文档。

2.1.5.1 UART 接口

UART 烧录接口固定为 GPIO14 (TX) 和 GPIO15 (RX)，不可更改。如果需要用户 UART 接口，可以复用该 UART 接口，或者选择另外两个 GPIO 来使用。

2.1.5.2 USB 接口

USB 烧录/通信接口固定为 GPIO7 (DP) 和 GPIO8 (DM)，不可更改。如需 USB 接口，在设计时需要在 Pin10 提供 5V 供电，用于内部检测电路使能 USB 功能。同时，GPIO7 和 GPIO8 设计为 USB 接口时建议做差分线处理，阻抗控制为 90 欧姆。

2.1.5.3 GPIO 中断源

BL70X 可以支持中断功能 GPIO 包括：GPIO9、GPIO10、GPIO11 和 GPIO12。

2.1.5.4 PWM 接口

BL70X 内部集成五路独立的 PWM 硬件电路，具体 GPIO 划分如下表：

表 1、PWM 引脚分配

PWM0	PWM1	PWM2	PWM3	PWM4
GPIO0	GPIO1	GPIO2	GPIO3	GPIO4
GPIO5	GPIO6	GPIO7	GPIO8	GPIO9
GPIO10	GPIO11	GPIO12	GPIO13	GPIO14
GPIO15	GPIO16	GPIO17	GPIO18	GPIO19
GPIO20	GPIO21	GPIO22	GPIO23	GPIO24
GPIO25	GPIO26	GPIO27	GPIO28	GPIO29
GPIO30	GPIO31			

如果需要独立的 PWM 控制，在电路设计时需要避免 GPIO 冲突（例如 GPIO0 和 GPIO5 冲突）。

注意：

- 在配置为 PWM 的 GPIO 引脚处建议放置 4.7K 欧姆的下拉电阻。

2.2 版图设计

本章节将以 BL706 模组的 PCB 版图为例，介绍 BL706 PCB 版图设计要点。

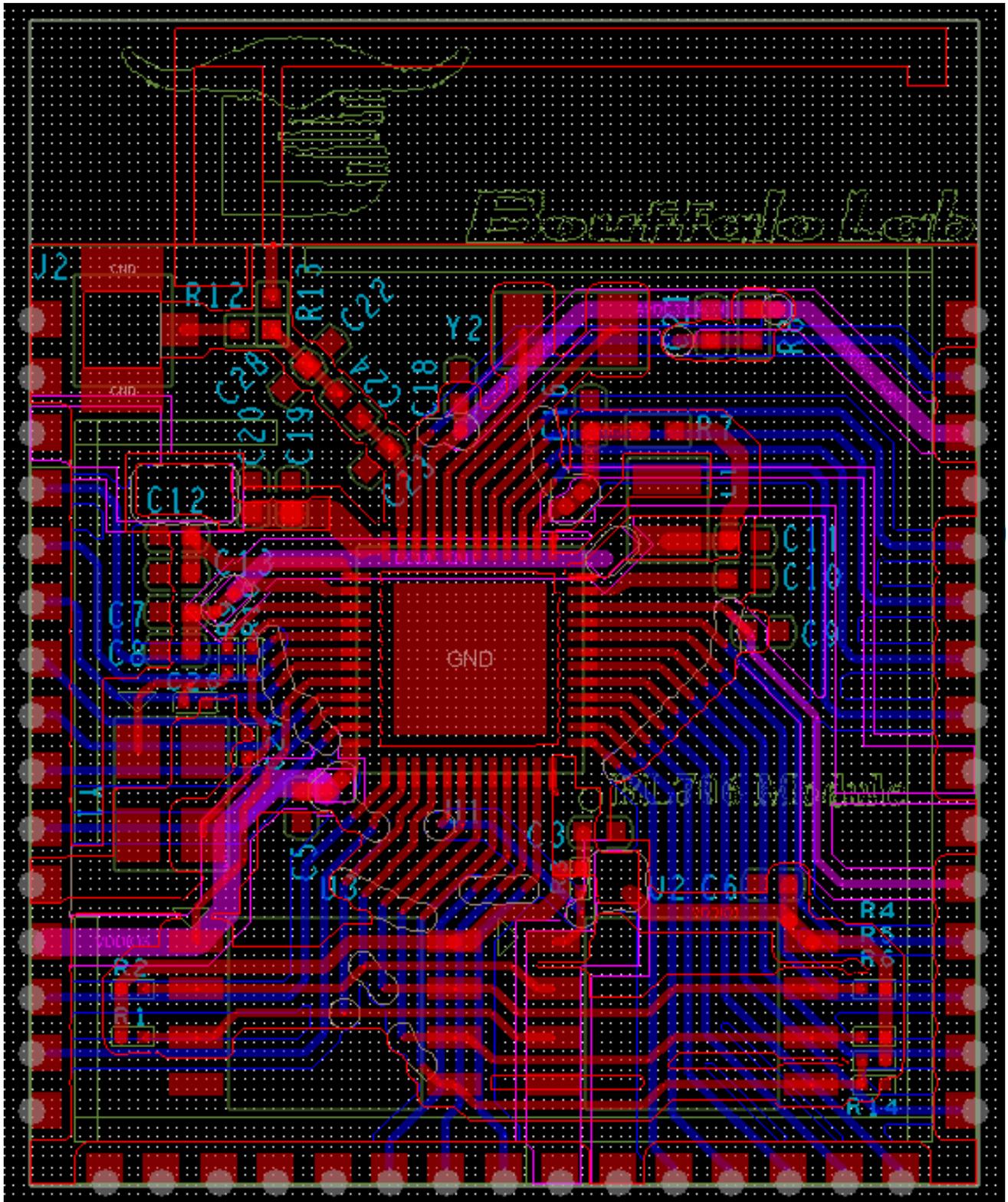


图 8、BL706 模组版图设计

2.2.1 版图设计通用要点

建议采用四层板设计，主要叠层划分为：

- 第一层主要用于走信号线、电源线和摆放元器件。
- 第二层为地层，不走信号线，尽量保证完整的参考地平面。
- 第三层为电源层，主要走电源线。
- 第四层主要走一些不重要低速控制线，条件允许的情况下也可以摆放元器件。

如果条件受限，需要采用两层板设计，则建议如下：

- 第一层主要用于摆放元器件和走线。
- 第二层走线尽量少，尽量保证足够完整的参考地平面。

2.2.2 模组摆放

如果模组上带有 PCB 天线，则需要考虑模组在底板上的布局，需要尽量减少底板对于模组 PCB 天线性能的影响。在条件允许的情况下，建议将模组 PCB 天线区域延伸出底板板框外，如下图中左边示例。如上述方法受限而无法实行，请确保模块不被任何金属的外壳包裹，模块 PCB 天线区域及外扩 5 mm 区域需净空（严禁铺铜、走线、摆放元件），如下图右边示例。

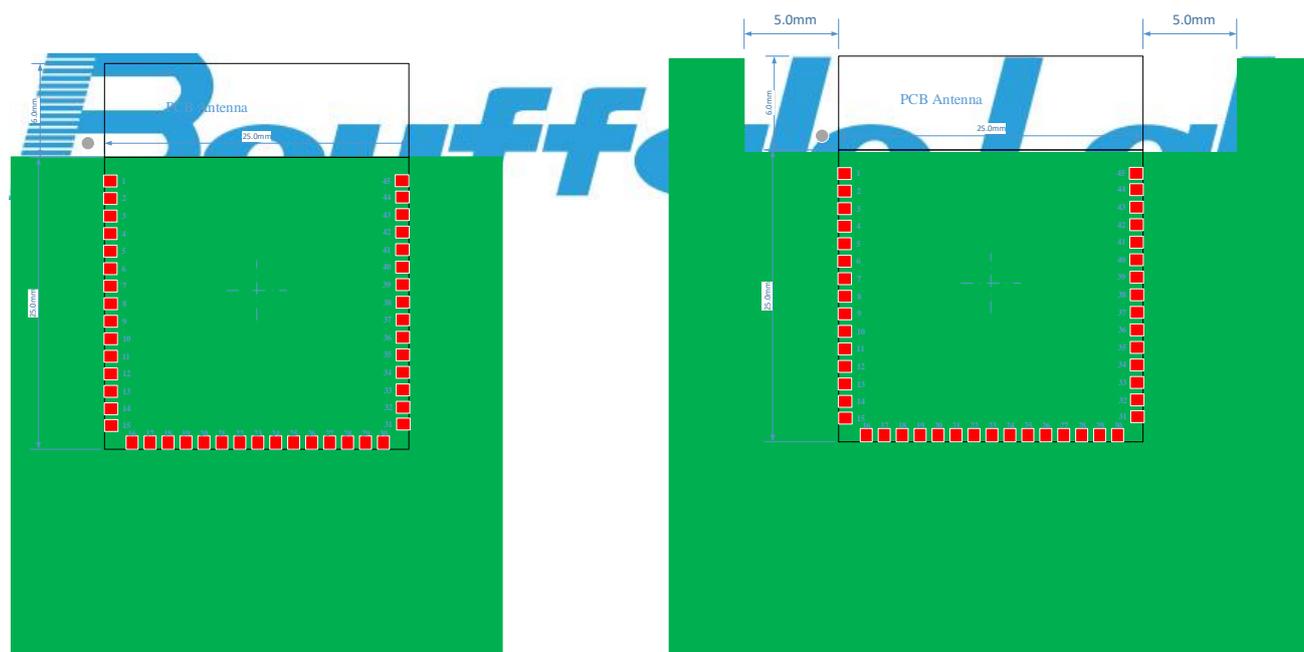


图 9、BL70X 模组在底板上的摆放示意图

2.2.3 射频

射频走线要求做 50Ω 单端阻抗控制，走线两边和下层需保证完整的参考地平面。射频走线线宽要保持一致，走线长度尽量短，尽量使用 135° 角度走线或者圆弧走线，周围要有相对密集的接地孔屏蔽。在射频走线上预留 π 型匹配电路，且需要靠近芯片端放置。匹配网络中的两个电容接地建议分别摆放在射频走线两边，减少两者之间的串扰，对于谐波抑制有比较明显的效果。

射频走线附件尽量避免高速信号线，防止产生串扰。

2.2.4 电源

在条件允许情况下，3.3V 电源走线宽度要尽量粗，至少保证 25mil 以上。所有去耦电容都尽量靠近电源管脚放置，去耦电容的接地脚就近打地孔，保证较短的返回路径。芯片底部的接地焊盘尽量多打地孔到参考地平面。

对于DCDC布线，尽量减小SW_DCDC 引脚、功率电感、DCDC_OUT 引脚间形成的回路，功率电感下方避免其它信号布线。同时DCDC_OUT 引脚到AVDD_RF引脚的供电线尽量远离SW_DCDC布线，与其它电源、信号线也保持距离，尽量减少串扰。

2.2.5 晶体

晶体摆放和走线的相关注意事项如下：

- 晶体摆放尽量远离 PCB 天线，减少两者之间的串扰。
- 晶体走线尽量用地包裹屏蔽。
- 晶体的 GND 尽量与其他 GND 剥离，单点共地。

Bouffalo Lab